

氏 名（本 籍）	K. R. M. Nimal Ratnayake(スリランカ)
学 位 の 種 類	博 士 (工学)
学位記号番号	甲 第 153 号
学位授与年月日	平成 13 年 3 月 24 日
専 攻	電子情報システム工学専攻
学 位 論 文 題 目	Novel PWM Techniques and Topologies for Multi-Level Inverters (多レベルインバータ用のPWMパターンと回路方式に関する研究)
学位論文審査委員	(主査) 教 授 内 藤 治 夫 (副査) 教 授 阪 上 幸 男 教 授 渡 邊 貞 司 助教授 王 道 洪

## 論文内容の要旨

This thesis has proposed and investigated two new multi-level PWM patterns and one topology that enhance the performance of multi-level inverters.

The first PWM pattern proposed in this thesis is to reduce the common-mode voltage of the three-level voltage source inverter. It uses only seven voltage vectors out of the 19 vectors of general three-level PWM patterns. These seven voltage vectors inherently generate zero common-mode voltage at the load neutral. It is known that the common-mode voltage of the voltage source inverters generate common-mode current (also known as zero sequence current); the zero sequence current may cause malfunctioning of the residual current-operated circuit breakers as well as zero sequence protective equipment in the utility. It has been reported that the common-mode current may also cause Electro Magnetic Interference(EMI). Therefore, the proposed PWM pattern would be useful in a practical multi-level inverter.

Among the typical problems related to the multilevel topology, the neutral point voltage fluctuation has drawn much attention of the researchers. The second carrier PWM scheme proposed in this thesis is to alleviate the neutral point voltage fluctuations of the three-level inverter. The proposed scheme has been derived from the multi-level sinusoidal carrier PWM scheme by introducing third harmonic of the reference signals. This signal has appropriate phase shift and magnitude with respect to the reference signals. By controlling these two parameters (phase shift and magnitude), the neutral point voltage fluctuation can be reduced. It is noteworthy that this principle may be adopted to reduce the voltage

unbalance that exists in three-level Static Var Compensators (SVC) as well.

The five level inverter topology proposed in this thesis combines a two-level inverter arm and a three-level inverter. Since the new circuit uses only 14 active switches and 20 diodes including anti parallel free wheeling diodes, much smaller device count compared to the normal five-level inverter, this circuit is cost-effective and reliable.

The main issues investigated in this thesis can be summarized as,

- (1) common-mode current suppression techniques, that are suitable for multi-level inverter based motor drives.
- (2) A simple carrier PWM scheme, which alleviates the neutral point voltage fluctuation problem of the three level inverter.
- (3) A novel hybrid five-level inverter topology (with low device count).

Laboratory prototypes are fabricated to verify the performance of the proposed reduction techniques. This study indicates the need for further R&D activities in the area of new modulation techniques to address the issues related to the multi-level inverter.

## 論文審査結果の要旨

この論文では多レベルインバータの特性を向上させるために二つの制御方式と一つの新しい回路方式を提案し、シミュレーションと実験によりその有効性を確認している。

多レベルインバータにおけるコモンモード中性点電圧はコモンモード電流を発生させ、モータと接続する制御装置や機器類の故障原因になる。また、コモンモード電流は最近問題視されている電磁障害も発生する。そのため、コモンモード中性点電圧の低減対策が求められている。提案制御方式の一つ目は3レベルインバータのコモンモード電圧を抑えるための方式である。この制御方式では従来のPWM制御方式に用いた19個ベクトルのうち負荷中性点でコモンモード電圧を発生しない7個ベクトルのみを利用することで実現されている。シミュレーションでは従来制御方式に比べ、提案制御方式は利用したベクトルの数が少ないにもかかわらず、中性点コモンモード電圧を大幅に低減できる一方、電圧の制御の観点からも従来の方式と同程度の性能を有する。検証実験もこの結果を確認している。更に、検証実験では従来方式に比べ提案方式は小さなコモンモードフィルタを使用しても、中性点コモンモード電圧を完全に抑えることができることを確認している。

一方、3レベルインバータにおける中性点電位変動はインバータ入力側にある2つのコンデンサに電圧の不平衡を生じ、半導体スイッチデバイスに大きな

ストレスを引き起こしてしまう。そのため、この中性点電位変動を抑える必要がある。提案制御方式の二つ目はこの中性点電位変動を抑えるためのものである。本制御方式では従来PWMに用いた多レベル正弦波キャリアに3次高調波信号を注入し、この正弦波キャリアを変調させることにより、新しいキャリア波を作り出す。提案制御方式はこの新しいキャリア波を持って3レベルインバータの出力電圧を制御する。基準波に対してキャリア波は一定割合の振幅と位相差を設けており、この振幅と位相差を調整することにより3レベルインバータにおける中性点電位変動を抑える。シミュレーションと検証実験により本提案制御方式は従来制御方式に比べ3レベルインバータにおける中性点電位変動を大幅に低減できることを確認している。

従来の5レベルインバータは耐電圧、高調波の観点から優れているが、必要とされる部品（主スイッチ24、ダイオード42）が多い。提案5レベルインバータ回路は従来の2レベルインバータと3レベルインバータを組み合わせることにより必要とされる主スイッチの数が14、ダイオードの数が20になっており、従来5レベルインバータに比べ、部品数を大幅に低減できた。また、この回路の制御方式に選択高調波消去法を用いることにより、定次高調波を除去すると共に高いバス電圧利用率も得ることができた。シミュレーションにより、本提案回路と制御方式の有効性を確認している。

以上の成果は、すでに日本電気学会産業応用部分誌、パワーエレクトロニクスに関する国際会議に6報にわたり報告されている。従って、申請者の博士研究成果として十分に評価できるものと判定する。

## 最終試験結果の要旨

公聴会後に、学位論文に関連する口頭試問を行い、これを最終試験に変え、合格と判定した。