

氏名 (本籍)	HAN MEI (中華人民共和国)
学位の種類	博士 (工学)
学位授与番号	甲第 560号
学位授与日付	令和 元年 12月 31日
専攻	電子情報システム工学専攻
学位論文題目	Non-floating two-phase clock adiabatic logic circuit: analysis and application (フローティング構造を有しない 2相クロック断熱的論理回路の解析と応用)
学位論文審査委員	(主査) 教授 中村 誠 (副査) 教授 木村 宏 准教授 高橋 康宏

### 論文内容の要旨

The study concentrates adiabatic inverters which is the one of the basic components of LSI system. We propose a new inverter that improves former inverter with low power consumption. The thesis embraces two themes. The first is the improvement in adiabatic logic for low-power design. The other is that application of the inverters in 4-4 bit array multiplier.

The construction of the thesis is organized as follows.

Chapter 1 is the introduction which describes the developing of LSI, the emergence background of adiabatic logic which is suited to the Moore's law. The motivation and organization of the thesis is described.

Chapter 2 will describe the principle and classification of adiabatic logic. In this part, firstly, conventional CMOS inverter will be analyzed. And then, adiabatic inverters comes. The core principle of adiabatic logic is to return the electronica got from the power supply by extending the process of electronics transform. As comparison, the other adiabatic logic inverters will be analyzed in detail, i.e., CEPAL, 2N2N2P, 2PC2AL, ECRL, and 2PASCL.

Chapter 3 contents the proposed 2PC2AL inverter. The 2PC2AL uses two-phase clocking split-level sinusoidal power supplies that minimize the voltage difference between the current-carry electrodes, in other words, the energy consumption of the circuit can be suppressed. The simulation results show that correctness of lower energy loss. On the other hand, the circuit has a limitation of floating. Our research concentrates on eliminating on the phenomenon of floating adhering to the concept of low power consumption. Here, we propose one valid method to solve the floating: adding two switch transistors to prevent the voltage difference getting lower then critical value. By choosing proper switch time, the floating can be resolved and the SPICE simulation result shows the low power consumption characteristics of the proposed circuit compared to CMOS inverter.

Chapter 4 explains the application of the proposed inverter. As basic component of digital circuit, we apply the inverter into NAND, full adder, half adder, and 4-4 bit array multiplier. To match the working clock, the inverters are used in the input stage. By using 0.18  $\mu\text{m}$  CMOS technology, the multiplier made up of proposed inverter can realize the function correctly, and has lower energy consumption compared to the CMOS multiplier.

Chapter 5 draws the conclusion of the research. At the end of the thesis, prospective

ideas of future works is explored.

### 論文審査結果の要旨

本研究は、2相の交流電源で駆動するフローティング構造を有しない断熱論理回路を提案し、その詳細な解析を行って最適な動作条件を見出すと共に、基本論理回路やそれらを組み合わせた加算器や乗算器への応用を系統的に検討したもので、学術的に新規性のある多くの知見を得ている。また、シミュレーションによる実証実験を行い、提案回路の動作速度ならびに消費電力解析の有効性を確かめており、基礎と応用の両面において断熱原理に基づくこれまでの論理回路設計研究を発展させたものである。

本研究の主な成果は以下の通りである。

- (1) 論理回路の基本回路となる断熱動作 CMOS インバータを新しく提案している。提案回路の特徴は、既存の断熱的論理回路で問題であった出力ノードがフローティング状態を回避するために、電源とロジック段の間に制御トランジスタを含ませることで、論理の入出力遷移と断熱動作をより効率的なものにしていることにある。また、提案回路を等価回路モデルへと記述し詳細な解析を行うことで、フローティング状態の解析を説明している。これらは、他の断熱回路にも応用できる一般的なものとなっているため、今後の断熱的論理回路の問題点を解決できる有用な提案手法である。
- (2) 提案インバータ回路を発展させ、同じ断熱原理に基づく基本論理回路として、NOR、NAND および XOR を提案することで、全加算器やフリップフロップを始めとする応用回路の設計を可能にしている。
- (3) 0.18  $\mu\text{m}$  スタンダード CMOS 技術を用いて4ビット配列型乗算器を設計し、従来の CMOS 技術を用いる場合に比較して最大 63%の消費電力が削減可能であることを示している。

### 最終試験結果の要旨

学位申請者は、在学中、勉学・研究活動に精勤し、所定の講義の単位を取得するとともに、学位申請論文としての研究内容を1編の学術論文と3編の国際会議論文として公表した。

令和元年11月19日に開かれた学位論文公聴会では、申請者の博士論文に関する発表が約30分、審査員との質疑応答が約50分行われた。申請者は審査員の質問に対して的確に回答し、博士論文の研究内容に対する理解が十分であることが示された。公聴会終了後に申請者の学位申請に関する協議が審査委員により行われ、申請者は博士(工学)の学位を授与されるに値する学識、研究経験を有すると判断された。

以上より、学位認定に伴う最終試験の結果を合格と判定する。

---

発表論文(論文名、著者、掲載誌名、巻号、ページ)

1. Non-floating and low-power adiabatic logic circuit, M. Han, Y. Takahashi, and T. Sekine, IEICE Electronics Express, vol.16, no.17, p.20190400 (6pages), 2019.
2. A performance comparison of adiabatic logic circuits, M. Han, Y. Takahashi, and T. Sekine, Proc. IEEJ AVIC 2018, pp.149-152, Oct. 31-Nov. 2, Chiang Mai, Thailand.
3. Operational amplifier based LC resonant circuit for adiabatic logic, Y. Takahashi, T. Sekine, and M. Han, Proc. IEEE MIXDES 2017, pp.110-113, June 22-24, Bydgoszcz, Poland.
4. Low power adiabatic logic based on 2PC2AL, M. Han, Y. Takahashi, and T. Sekine, Proc. IEEE ICICDT 2017, pp.1-4, May 23-25, Austin TX.