

AS-1-7

# サブスレッショルド断熱的論理回路の性能解析と省電力効果

Performance Analysis and Power Saving Effect for Subthreshold Adiabatic Logic

高橋 康宏<sup>1</sup>                      関根 敏和<sup>1</sup>                      横山 道央<sup>2</sup>  
 Yasuhiro Takahashi              Toshikazu Sekine              Michio Yokoyama

岐阜大学工学部<sup>1</sup>  
 Dept. of Electrical and Electronic Eng., Faculty of Eng., Gifu University  
 山形大学工学部<sup>2</sup>  
 Dept. of Bio-System Eng., Faculty of Eng., Yamagata University

## 1 まえがき

エネルギー・ハーベスティング技術の分野では、自然界に存在する微弱なエネルギーを電力に変換してデバイスを駆動する必要がある。変換により得られた電力は極めて小さく、また電圧/電流値も低いことから、その電力で駆動するデバイスや周辺回路は今まで以上に極低消費電力特性を有することが重要となる。この駆動電力の状況(低電圧, 交流波形, など)に着目すると、論理回路を設計する際には2つの有望な回路技術が想定される。ひとつは、低電圧で動作可能なサブスレッショルドCMOS論理であり、もうひとつは、周期波電源で駆動可能な断熱的論理である。近年、この2つの回路技術を組み合わせたサブスレッショルド断熱的論理回路が提案された[1], [2]。しかし、これらの回路はシミュレーションモデルにPTMの予想モデルを用いてシミュレーションのみを行っており、実プロセスから得たサブスレッショルド領域のパラメータを用いた場合の比較検討は行っていない。本稿では、0.18 μm CMOSプロセスより抽出したサブスレッショルド領域のパラメータを含むBSIM3v3 SPICEモデルを用い、断熱的論理回路の動作検証と消費エネルギー比較を行う。

## 2 断熱的論理回路の概要

本章では、静的CMOS論理と断熱的論理のインバータ回路をRC等価回路モデルで近似した場合の消費エネルギーの差異について述べる。

図1は、静的CMOS論理と断熱的論理インバータの回路図とその等価回路モデルである。両者の等価回路モデルともに、入力Low-出力HiのときにSPDTスイッチは上側に倒れ、負荷容量 $C_L$ にプルアップ電流 $i_p(t)$ が流れる。また、入力Hi-出力Lowのとき、SPDTスイッチは下側に倒れ、負荷容量 $C_L$ からプルダウン電流 $i_n(t)$ が流れる。この電流値を用いて、CMOS論理回路と断熱的論理回路の抵抗 $R$ での消費エネルギー、すなわちインバータの消費エネルギー $w(t)$ は以下のように計算できる。

(c) CMOS論理回路:

$$w_{M1}(t) = \frac{1}{2} C_L V_{dd}^2 \left( 1 - e^{-\frac{2t}{\sigma_L R_{M1}}} \right) \quad (1)$$

$$w_{M2}(t) = C_L V_{dd}^2 \left( 1 - \frac{1}{2} e^{-\frac{2t}{\sigma_L R_{M2}}} \right) \quad (2)$$

(d) 断熱的論理回路:

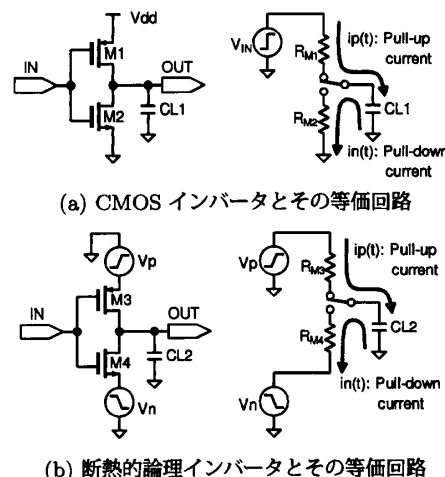


図1 消費エネルギー解析のためのRC等価回路モデル

$$w_{M3}(t) = \frac{R_{M3} C_L^2 V_{dd}^2}{\tau} \left[ 1 - \frac{C_L R_{M3}}{\tau} \left( 1 - e^{-\frac{t}{\sigma_L R_{M3}}} \right) \right] \quad (3)$$

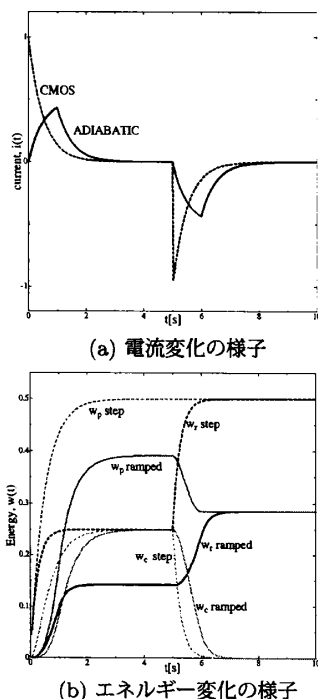
$$w_{M4}(t) = 2 \frac{R_{M4} C_L^2 V_{dd}^2}{\tau} \left[ 1 - \frac{C_L R_{M4}}{\tau} \left( 1 - e^{-\frac{t}{\sigma_L R_{M4}}} \right) \right] \quad (4)$$

図2に電流の様子と消費エネルギーの様子を図示する。図2では、0-5sの区間ではプルアップ状態、5-10sの区間ではプルダウン状態として回路が動作している。また、図2(b)には、抵抗 $R$ での消費エネルギー $w_r$ の他に電源からの供給エネルギー $w_p$ および負荷容量への蓄積エネルギー $w_c$ の変化の様子も合わせて図示した。前式および図より次のことがいえる。

- 式(1)および式(3)において $t \rightarrow \infty$ とした場合、CMOSインバータと断熱的論理インバータの消費エネルギーはそれぞれ、 $C_L V_{dd}^2 / 2$ および $RC_L^2 V_{dd}^2 / \tau$ となる。このとき、断熱的論理回路に使用する周期波電源の周波数を低下させる、つまり波形の傾き $\tau$ をゆるやかにするほど、CMOS論理回路よりも断熱的論理回路の消費エネルギーを低減させることができる。
- 図2において、断熱的論理の電源からの供給エネルギー( $w_p$  ramped)はプルアップ状態からプルダウン状態に変化する際に負の値となり、最終値ではエネ

表1 断熱的論理回路群の性能比較

	2N2N2P	ECRL	PFAL	PAL	CAL	SAL	2PC2AL	PECRL
入力信号/駆動源の数	4/4	4/4	2/4	2/1(+1)	3/1(+1)	2/8	1/1	4/4
駆動電源の波形形状	台形	台形	台形	正弦	台形	台形	正弦	台形
非断熱による電力損失	あり	あり	あり	なし	あり	あり	あり	あり
INVのトランジスタ数	6	4	8	4	8	12	2	4
消費エネルギー	高	高	高	(動作せず)	高	高	低	高



(a) 電流変化の様子

(b) エネルギー変化の様子

図2 RC等価回路モデルの電流とエネルギー比較

ルギー保存則を満たすために、抵抗での消費エネルギー ( $w_r$ , ramped) と等しくなる。この負への変化は、エネルギーが電源に戻っていることを意味している。

### 3 エネルギー評価

これまで提案された断熱的論理回路を用いてインバータ回路を設計し、インバータをサブスレッショルド領域で動作させたときの動作速度と消費エネルギーの比較を行った。シミュレーション対象は縦積み構造が小さく、かつ論理内にダイオード接続を含まない断熱的論理回路のみとした。これは、論理内にダイオード接続を含むと出力振幅が  $V_{dd} - V_t$  (ここで、 $V_t$  はダイオードのしきい値電圧) となり、サブスレッショルド領域では正しく論理反転しなくなるためである。シミュレーションに使用したプロセスは 1.8 V, 0.18  $\mu\text{m}$  スタンダード CMOS プロセスであり、MOS トランジスタの L/W はすべて 1.0  $\mu\text{m}/1.0 \mu\text{m}$  とした。また、電源電圧および入力信号はすべて 0.5 V とした。

図3は、各断熱的論理回路の消費エネルギー比較である。0.18  $\mu\text{m}$  CMOS プロセスを用いた場合、我々が以前提案した 2PC2AL 回路 [3] のみが、サブスレッショルド領域動作の CMOS 静的論理と他の断熱的論理回路よりも極めて低い消費エネルギー特性を示すことが分かる。

表1は、各断熱的論理回路群の性能評価の比較である。

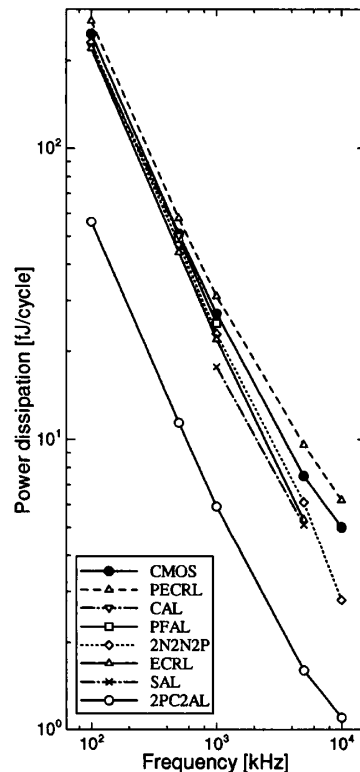


図3 サブスレッショルド動作断熱的論理回路群の消費エネルギー比較。ただし、PALは動作しないために図示できず。

表より、電源電圧数、トランジスタ数など回路トポロジーの観点から見ても 2PC2AL は優れているといえる。

### 4 むすび

実デバイス測定より得たサブスレッショルド領域のデバイスパラメータを有する SPICE モデルを用いて、縦積み構造の小さい断熱的論理回路の動作、消費エネルギーの評価を行った。その結果、我々が提案した 2PC2AL が動作、消費エネルギーおよび回路構造などの観点から、サブスレッショルド断熱的論理回路として最も優れていることが分かった。

### 参考文献

- [1] M. Khatir, H. G. Mohammadi, and A. Ejlali, "Sub-threshold charge recovery circuits," in *Proc. IEEE Int. Conf. Computer Design*, pp. 138-144, 2010.
- [2] J. Hu, L. Yu, "P-type adiabatic computing based on dual-threshold CMOS and gate-length biasing techniques," *J. Convergence Info. Tech.*, vol. 7, no. 6, pp. 154-162, April 2012.
- [3] Y. Takahashi, T. Sekine, and M. Yokoyama, "Two-phase clocked CMOS adiabatic logic," *Far East J. Electronics and Communications*, vol. 3, no. 1, pp. 17-34, April 2009.