

準断熱的 CMOS 論理回路

CMOS Logic Circuits using Quasi Adiabatic Switching Principle

趙 琳¹
Lin Zhao関根 敏和²
Toshikazu Sekine高橋 康宏²
Yasuhiro Takahashi岐阜大学 工学研究科¹ 工学部²Graduate School of Eng.¹, Dept. of Electrical and Electronic Eng.², Gifu University

1 まえがき

回路の低消費電力化技術の1つに断熱的原理の応用がある。先に筆者らは、相補的な2相の交流電源を用いる断熱的 CMOS 論理回路を提案した [1]。本文では、交流電源を簡略化して1相とした準断熱的 CMOS 論理回路を提案する。提案回路は、プルアップ時には断熱動作をするが、プルダウン時には断熱動作をしない。そこで、インダクタンスを付加して電源のインピーダンスを調整することで、等価的に断熱動作をさせる回路についても併せて検討する。

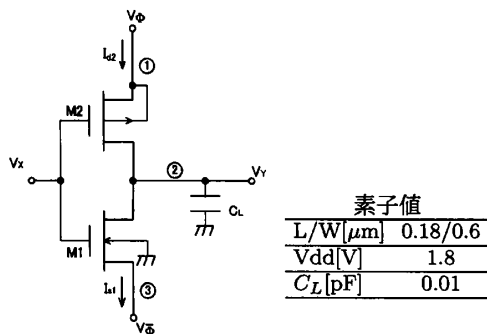


図1 準断熱的 CMOS 回路とその素子値

2 準断熱的 CMOS 論理回路

図1に2個の電源 V_ϕ , V_ϕ で駆動される CMOS インバータを示す。図2は、 $V_\phi = 0$ とした準断熱的 CMOS 回路のシミュレーション結果で、プルダウン時には断熱動作していない。そこでインダクタを付加して等価的に断熱動作させることを考えると図3のようになり、ソース側に付加するのがよいことがわかる。

表1は V_ϕ を種々変更した場合の消費エネルギーの比較で、(a)の2相の場合が一番低いが、(b)(c)の1相の場合でも CMOS に比較して約1/4であることがわかる。また、電流を抑えるためにインダクタを付加すると、(d)のように1/10になる。このときの出力波形を図4に示す。

3 むすび

1相の交流電源で駆動する準断熱 CMOS インバータとそれにインダクタを付加してより低消費電力化した回路を提案した。

参考文献

- [1] 酒井, 福田, 高橋, 関根, 横山, “2相 Clocked-CMOS 断熱的論理回路,” 第11回システム LSI ワークショップ講演資料集およびポスター資料集, pp.249-251, Nov. 2007.

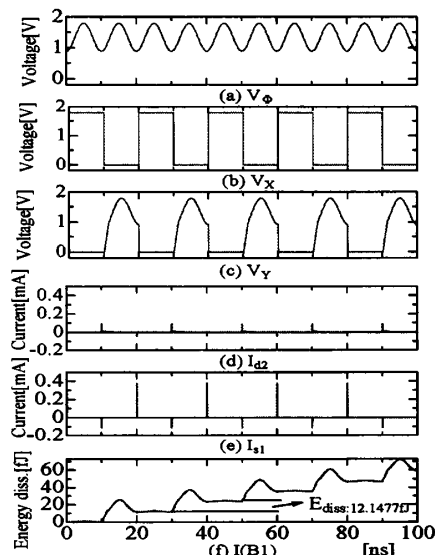
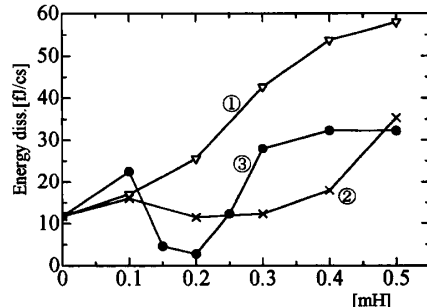
図2 シミュレーション結果 ($V_\phi = 0$)

図3 インダクタンスを付加した場合の消費エネルギー

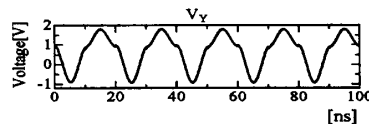
図4 インダクタンスを付加した場合の V_y 波形

表1 消費エネルギーの比較

inverter	power dissipation	[fJ/cs]
CMOS		40.42
Adiabatic		
(a) V_ϕ =complementary		0.91
(b) V_ϕ =0.1V		9.46
(c) V_ϕ =0V		11.71
(d) V_ϕ =0V(with L)		3.14

 $f_{in}=50\text{MHz}, f_\phi=100\text{MHz}$