

準断熱的CMOS論理回路の消費エネルギー比較

Comparison of Energy Consumption of the Quasi Adiabatic CMOS Logic Circuits

趙 琳¹

Lin Zhao

関根 敏和²

Toshikazu Sekine

高橋 康宏²

Yasuhiro Takahashi

岐阜大学大学院工学研究科¹

Graduate School of Eng., Gifu University

岐阜大学工学部²

Dept. of Electrical and Electronic Eng., Gifu University

1 まえがき

回路の低消費電力化技術の1つに断熱的原理の応用がある。先に筆者らは、相補的な2相の交流電源を用いる断熱的CMOS論理回路[1]を、また、交流電源を簡略化して1相とした準断熱的CMOS論理回路[2]を提案した。本文では、いくつかの準断熱的CMOS論理回路の電源の駆動波形を変えた場合の消費電力を比較する。

2 準断熱的CMOS論理回路

図1に2個の電源 $V_\phi, V_{\bar{\phi}}$ で駆動されるCMOS論理回路を示す。図??は、 $V_\phi, V_{\bar{\phi}}$ と対応する入出力波形 V_x, V_y のシミュレーション結果である。(a)は従来の直流供給の場合で、(b)は2相の相補的な交流を供給して、プルアップ、プルダウン動作の両方で断熱動作をさせる場合である。また、(c),(d),(e)は、供給する交流を1相にして、プルアップ、プルダウン動作のどちらか一方で断熱動作をさせる場合である。これらより、1サイクル当りの消費エネルギーの平均は表1のようにまとめられる。表1から、完全に断熱動作をする(b)の場合が1番消費電力が少ないことがわかる。また、準断熱的動作をする(c),(d),(e)でも、従来の直流供給に比べて約1/3になっていることがわかる。

3 むすび

1相または2相の交流電源で駆動する断熱的CMOS論理回路の消費電力を比較し、直流を供給する場合に比べて低消費電力になることを示した。

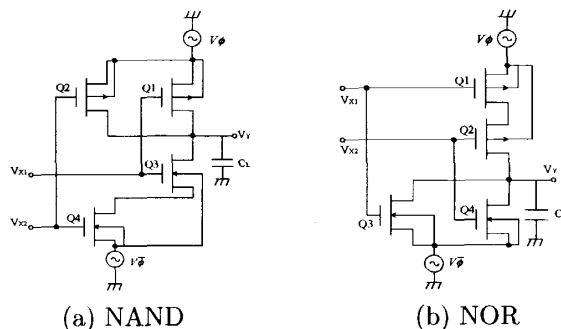


図1 断熱的CMOS論理回路

表1 消費エネルギーの比較

	NAND[fJ]	NOR[fJ]
(a)	12.724	12.875
(b)	1.053	1.049
(c)	4.30	4.836
(d)	4.116	7.186
(e)	4.606	4.851

参考文献

- [1] N. A. Nayan, Y. Takahashi, and T. Sekine, "Two phase clocked adiabatic static CMOS logic and its logic family," IEEK J. Semiconductor Technology and Science, vol.10 no.1, pp.1-10, March 2010.
- [2] L. Zhao, T. Sekine, and Y. Takahashi, "Low power CMOS logic circuits using quasi adiabatic switching principle," Proc. ITC-CSCC 2013, pp.285-286, June 30-July 3, Yeosu, Korea.

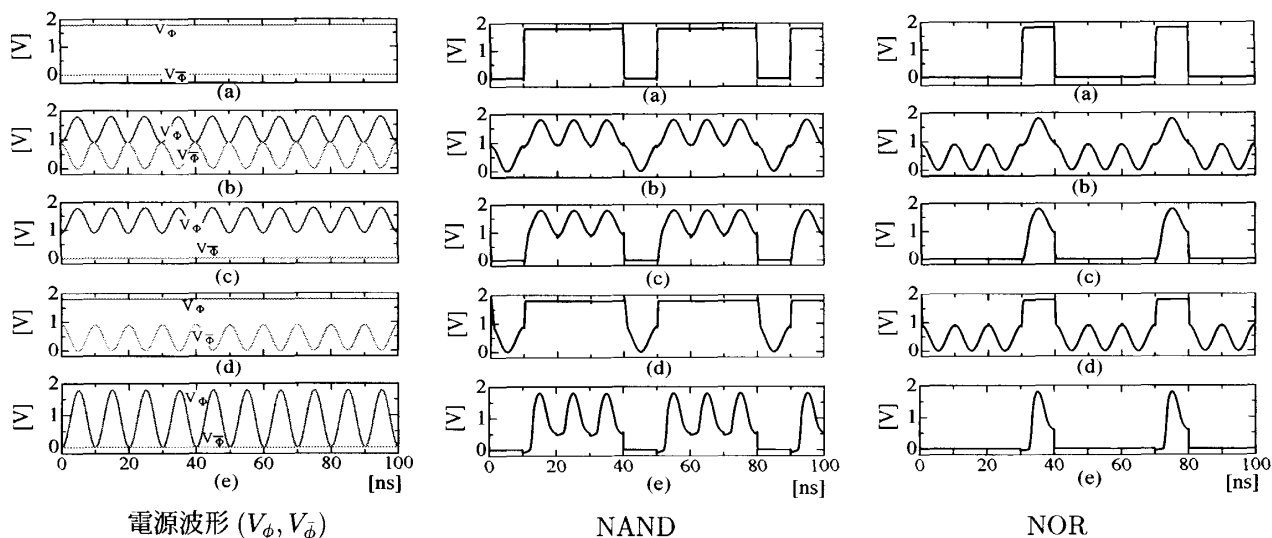


図2. 断熱的CMOS論理回路の電源波形と入出力波形