

A-1-13

メモristaを用いたシナプス回路への断熱動作の評価

Evaluation of Synaptic Weighting Circuit with Pulse-Based Memristor using Adiabatic Driving

尾形 治城¹
Haruki Ogata高橋 康宏²
Yasuhiro Takahashi関根 敏和²
Toshikazu Sekine岐阜大学大学院工学研究科¹
Graduate School of Eng., Gifu University岐阜大学工学部²
Faculty of Eng., Gifu University

1 まえがき

シナプス回路は大面積かつ消費電力が大きいことが課題である。文献[1]のシナプス回路はメモristaを用いることで小面積化を実現しているが、低消費電力化については触れられていない。

本研究では、文献[1]のシナプス回路に断熱的回路技術を適用し、消費エネルギー比較を行うことで低消費電力化を達成できるかを検討する。

2 メモristaを用いたシナプス回路

図1は文献[1]で提示されているシナプス回路にパルス生成回路(M1-M4)を付加した回路である。この回路では、メモrista M_w の抵抗値が荷重となる。最初に電流源 I_w によって荷重の符号と大きさが設定される。次にシナプス入力として I_s が入力され、差動増幅器の差動電流が出力される。このとき、出力される電流は I_s と荷重の積に比例する。それゆえ、この回路はアナログシナプス荷重回路として機能する。

文献[1]の I_w にはパルスが用いられているが、この波形を緩やかな傾きをもつ波形に変えて消費エネルギーの比較を行う。シミュレーションはLTspiceを使用し、デバイスパラメータを表1に示す。メモristaのSpiceモデルは文献[2]のものを使用した。

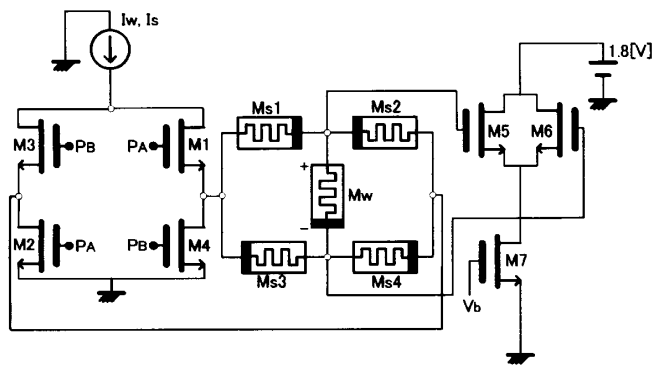


図1 メモristaを用いたシナプス回路

表1 M1からM7のデバイスパラメータ

M1-M4	$L=0.18\mu$, $W=1.0\mu$
M5-M7	$L=0.36\mu$, $W=1.0\mu$, $m=10$

3 消費エネルギー評価

図2は、 I_w に4つの波形を用いたときのシナプス回路の入力波形と、消費エネルギー比較の結果である。また、消費エネルギーの比較を行う上で荷重の符号と大き

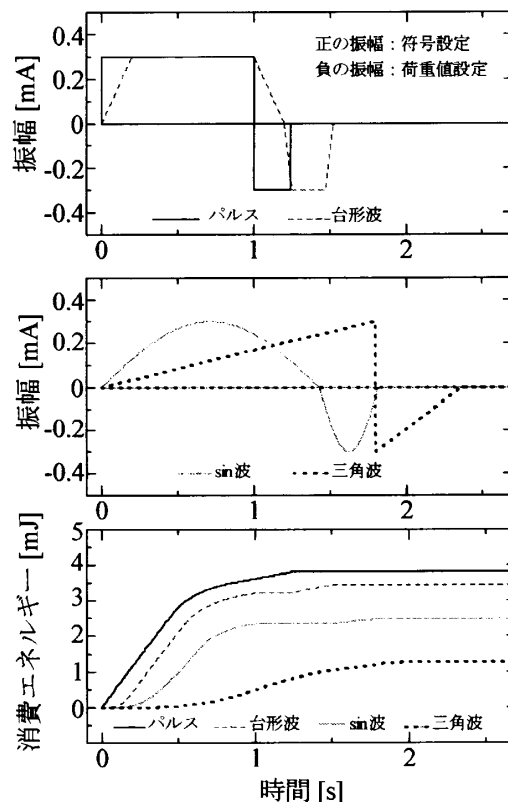


図2 入力波形と消費エネルギー

さは同様になるように設定した。図2より、三角波を用いることで大幅に消費エネルギーを抑えることが分かった。

4 むすび

シミュレーションにより、メモristaを用いたシナプス回路の波形形状を変えたときの消費エネルギーの比較を行った。荷重設定電流を緩やかな傾きをもつ波形に変えることで消費エネルギーを抑えることができ、この回路へ断熱動作が適用可能であることが分かった。

参考文献

- [1] H. Kim, M. P. Sah, C. Yang, T. Roska, and L. O. Chua, "Neural synaptic weighting with a pulse-based memristor circuit," IEEE Trans. Circuit and Syst. I, vol. 59, no. 1, pp. 148-158, Jan. 2012.
- [2] E. Lehtonen and M. Laiho, "CNN using memristors for neighborhood connections," in Proc. IEEE CNNA 2010, Berkeley, CA, 4pages.