

A-1-18

サブスレッショルド断熱的論理回路による4×4-bit乗算器のシミュレーション

Post-Layout Simulation of 4×4-bit multiplier Using Subthreshold Adiabatic Logic Circuit

加藤和成¹ 高橋康宏² 関根敏和²
 Kazunari Kato Yasuhiro Takahashi Toshikazu Sekine

岐阜大学工学研究科¹ 岐阜大学工学部²
 Graduate School of Eng., Gifu University Faculty of Eng., Gifu University

1 まえがき

我々は以前、サブスレッショルド回路と断熱的論理回路を組み合わせたサブスレッショルド断熱的論理回路を提案した [1]。本論文では、提案したサブスレッショルド回路で構成した4×4-bit乗算器のポストレイアウトシミュレーションの結果を示す。

2 提案する4×4-bit乗算器のレイアウト

図1に我々が提案する4×4-bit乗算器のブロック図とレイアウトの図を示す。また表1にレイアウトの結果のパラメータを示す。

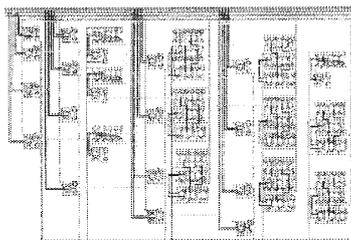


図1 4×4-bit乗算器のブロック図

表1 レイアウトした4×4-bit乗算器のパラメータ

Technology	0.18 μm CMOS process
core size	193.4(W)×123.7(H) μm^2
W/L	1.0 μm /1.0 μm

3 ポストレイアウトシミュレーションの結果

図2に周波数が1kHzのときの4×4-bit乗算器の動作波形を示す。我々が提案した回路は1kHzの動作のときに正しく動作をしていることが分かる。また図3に、DC1.8V(static CMOS), DC0.5V(sub- V_{th} CMOS), 2PC2AL [2] で構成した4×4-bit乗算器との消費エネルギーの比較を示す。2PC2ALと提案した回路はレイアウトによる寄生RC成分の影響で消費エネルギーにばらつきが見られたが、表2に見られるように1kHzの動作で提案回路が最も低い消費エネルギー特性を持っていることが分かる。

表2 1kHzで動作させたときの4×4-bit乗算器の消費エネルギーの比較

	Proposed	2PC2AL[2]	sub- V_{th} CMOS	SCMOS
V_{PC} [V]	AC 0-0.5	AC 0-0.25	DC 0.5	DC 1.8
V_{DC} [V]	AC 0-0.25	AC 0.25-0.5	GND	GND
E[fJ/cycle]	49.4	175.9	592.1	7696.9

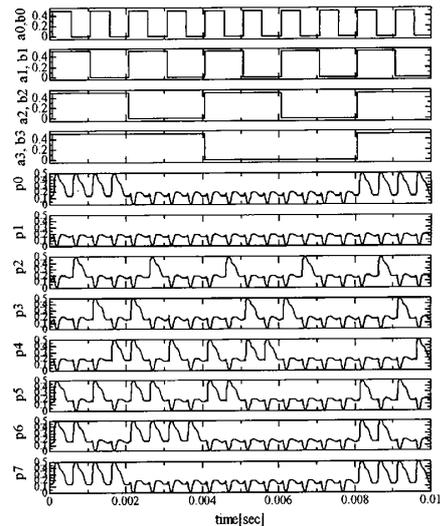


図2 SPICEシミュレーションによる4×4-bit乗算器の入出力波形

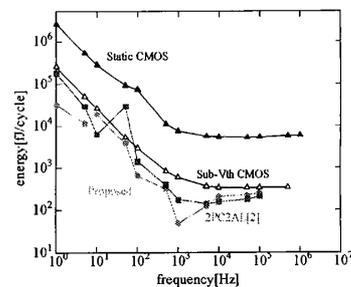


図3 4×4-bit乗算器の消費エネルギーの比較

4 むすび

提案した4×4-bit乗算器のレイアウトを行った。ポストレイアウトシミュレーションの結果、1kHzで動作したときに正しく動作をし、従来の回路よりも消費エネルギーが低くなることが分かった。

参考文献

- [1] K. Kato, Y. Takahashi, T. Sekine, "Two Phase Clocking Subthreshold Adiabatic Logic," in *Proc. IEEE Int. Symp. Circuits and Syst. (ISCAS 2014)*, June 1-4, 2014, pp. 598-601
- [2] Y. Takahashi, T. Sekine, and M. Yokoyama, "Two-phase clocked CMOS adiabatic logic," *Far East J. Electronics and Communications*, Vol. 3, no. 1, pp. 17-34, April 2009.